

RAiO

RA8877

TFT LCD 文字圖形控制器

規格書

Version 1.1

March 31, 2016

RAiO Technology Inc.

©Copyright RAiO Technology Inc., 2015, 2016

1. 簡介

本份是 TFT LCD 控制器 RA8877 規格書， RA8877 是支援 LVDS (FPD-Link) 介面的面板控制器。規格書內包含：系統方塊圖、腳位圖、AC/DC 電氣特性、各個功能子方塊、暫存器、省電模式的詳細描述。

1.1 概觀

RA8877 是極省電的彩色 LCD 控制器，對外部記憶體 SDRAM 支援最多可達 512M-bit，爲了可以快速對外部的顯示記憶體進行螢幕更新，因此 RA8877 提供一高效頻寬的 8/16bit 非同步並列的主控端介面，RA8877 提供多段的顯示記憶體緩衝區段，並提供畫中畫 (PIP)、透明度控制與顯示旋轉鏡射等功能。

1.2 系統與晶片示意圖

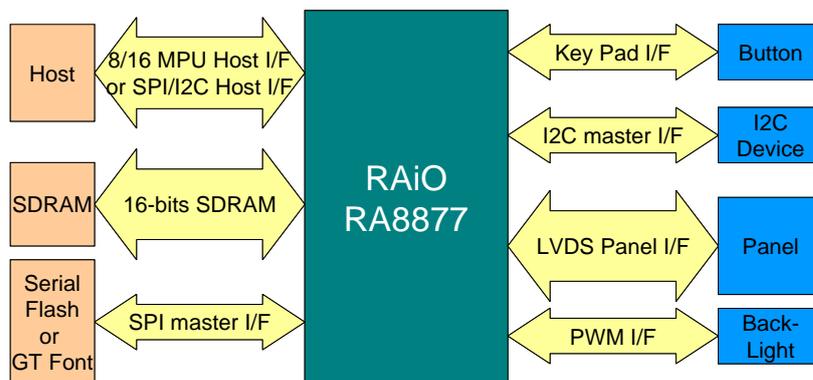


圖 1-1 : System Diagram

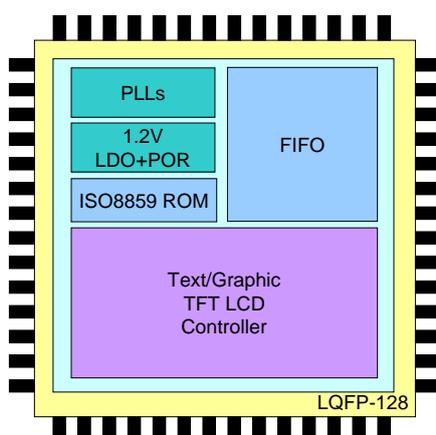


圖 1-2 : Chip Diagram

2. 特性

2.1 圖框緩衝區

- 支援 SDRAM 大小:16Mb, 32Mb, 64Mb, 128Mb, 256Mb 或 512Mb
- 支援 SDRAM 設定格式: x16
- 支援 16-bit SDRAM 寬度, frame buffer 最大可為 256MB/512MB

2.2 主控端介面

- 支援 8080/6800 8/16-bit 非同步並列介面 (MIPI DBI Type A)
 - 對於擴展的 MPU 週期提供 Xnwait 的訊號以供交握
- 支援串列主控端介面, 例如. IIC, 3/4-wire SPI
- 對於圖像資料寫入支援鏡射與旋轉的功能

2.3 輸入顯示資料格式

- 1bpp: 單色 (1-bit/像素)
- 8bpp: RGB 3:3:2 (1-byte/像素)
- 16bpp: RGB 5:6:5 (2-byte/像素)
- 24bpp: RGB 8:8:8 (3-byte/像素或 4-byte/像素)
 - Index 2:6 (64 索引色/像素並帶透明度屬性)
 - αRGB 4:4:4:4 (4096 索引色/像素並帶透明度屬性)

2.4 顯示模式

- 永遠輸出 24bpp (RGB 8:8:8) 的 LVDS 格式, 並且支援 VESA/JEDIA 格式

2.5 支援多種螢幕解析度

- 支援 16/18/24-bit CMOS 介面螢幕或是 MIPI DPI-2
- 支援螢幕解析度最大可達 2048X2048 像素
 - QVGA: 320 x 240 x 16/18/24-bit LCD 螢幕
 - WQVGA: 480 x 272 x 16/18/24-bit LCD 螢幕
 - VGA: 640 x 480 x 16/18/24-bit LCD 螢幕
 - WVGA: 800 x 480 x 16/18/24-bit LCD 螢幕
 - SVGA: 800 x 600 x 16/18/24-bit LCD 螢幕
 - QHD: 960 x 540 x 16/18/24-bit LCD 螢幕
 - WSVGA: 1024 x 600 x 16/18/24-bit LCD 螢幕
 - XGA: 1024 x 768 x 16/18/24-bit LCD 螢幕
 - WXGA: 1280 x 768 x 16/18/24-bit LCD 螢幕
 - WXGA: 1280 x 800 x 16/18/24-bit LCD 螢幕
 - WXGA: 1366 x 768 x 16/18/24-bit LCD 螢幕

2.6 顯示功能

- 使用者可自行定義 4 個 32X32 圖形游標
- 顯示視窗
顯示視窗大小是經由定義 LCD 暫存器得到，而透過底圖 (canvas) 暫存器設定可以對顯示視窗進行全部或部分更新。工作視窗的大小與起始位置的解析度在水平上必須是以 8 個像素的倍數，以垂直而言則是 1 個掃描線的倍數。視窗的座標參考零點為左上角(即使在翻轉圖像或旋轉文字時，亦不需要主控端處理)。
- 虛擬顯示
當顯示的圖像大於 LCD 的大小時則虛擬顯示會被致能，而在任意方向可以很容易做到滾動圖像。
- 畫中畫 (PIP)
- 支援兩個畫中畫視窗，當致能畫中畫視窗時則畫中畫視窗會永遠顯示在主視窗中。畫中畫視窗的大小與起始位置水平上是 4 個像素的倍數，垂直上則是一條掃描線。透過設定畫中畫視窗的起始位置可以達成圖像的滾動。畫中畫 1 的視窗永遠顯示在畫中畫 2 上面。
- 多重顯示緩衝區
多重顯示緩衝區的功能允許顯示視窗在各顯示緩衝區間切換，SDRAM 的大小與使用者寫入緩衝區大小來決定顯示緩衝區的數目。在使用多重顯示緩衝區上，使用者可以經由切換不同顯示緩衝區，達成簡單的動畫效果。
- 喚醒顯示
喚醒顯示效果如果被致能時，那喚醒時可以快速顯示預先儲存在 SDRAM 中的顯示資料。這個功能是在 Standby 與 Suspend 模式喚醒時使用。
- 垂直翻轉顯示
- 垂直翻轉顯示功能只適用在顯示上，對於其他功能子方塊的讀寫是不影響的，在垂直翻轉顯示致能時 PIP 是被禁能的。
- 彩帶顯示 (Color Bar Display)
在沒有 SDRAM 的情況下仍然可以以彩帶的方式顯示，默認解析度為 640x480 像素。

2.7 開機顯示

- 在沒有外部 MPU 的情況下，因 RA8877 有內建的微處理器可以使用儲存在 serial flash 內的指令與資料，以達成顯示功能。這個功能會在電源開啓時執行，並且在執行完後將控制權交由外部 MPU 此功能支援 12 種指令。指令如下：

■ EXIT: 跳出指令	(00h/FFh)	-- one byte instruction
■ NOP: 空指令	(AAh)	-- one byte instruction
■ EN4B: 進入 4-Byte 模式指令	(B7h)	-- one byte instruction
■ EX4B: 跳出 4-Byte 模式指令	(E9h)	-- one byte instruction
■ STSR: 狀態讀取指令	(10h)	-- two bytes instruction
■ CMDW: 命令寫入指令	(11h)	-- two bytes instruction
■ DATR: 資料讀取指令	(12h)	-- two bytes instruction
■ DATW: 資料寫入指令	(13h)	-- two bytes instruction
■ REPT: 載入計數指令	(20h)	-- two bytes instruction
■ ATTR: 抓取屬性指令	(30h)	-- two bytes instruction
■ JUMP: 跳躍指令	(80h)	-- five bytes instruction
■ DJNZ: 遞減並跳躍指令	(81h)	-- five bytes instruction

2.8 區塊傳輸引擎 (BTE)

- 2D BitBLT 引擎
- 具有光柵操作與顏色擴展的複製資料
- 方型填滿與圖樣填滿
 - 提供使用者定義的 8x8/16x16 像素的圖樣
- 混合透明 (Opacity)

使用混合透明模式可以將兩個圖檔混和成新的圖形，然後再用畫中畫的方式顯示出來。在處理的速度上而言混合透明與待處理圖檔大小有關，此外，亦可處理單張圖檔。

 - 關鍵彩度 (Chroma-keying) 功能: 經由指定的 RGB 顏色來做為透明的參考並進行混和影像的處理。
 - 圖形混合透明 (Alpha-blending): 根據暫存器設定透明的比率來進行兩張圖像的混成(淡入與淡出功能必須被致能)。
 - 像素混合透明 (Alpha-blending): 根據 RGB 格式來混合影像，例如 8bitRGB，則 MSB2bit 為 α 值。

2.9 幾何繪圖引擎

- 支援畫點、線、曲線、橢圓、三角形、矩形、圓角矩形

2.10 主 SPI 介面

2.10.1 文字功能

- 內建 ISO/IEC 8859-1/2/4/5.8x16、12x24、16x32
- 支援集通 16X16/24X24/32X32 串列字型 ROM 例如 Uni-code/BIG5/GB 等等，支援的集通型號有 GT21L16T1W、GT30L16U2W、GT30L24T3Y、GT30L24M1Z、GT30L32S4W、GT20L24F6Y、GT21L24S1W
- 支援使用者自定義字型半形 (8x16/12x24/16x32) 與全型
- 對於寫入文字支援可程式文字游標
- 支援垂直水平放大字型 X1, X2, X3, X4 倍數
- 支援文字 90 度旋轉

2.10.2 DMA 功能

- 支援外部串列快閃記憶體 (serial flash) 資料複製至圖框緩衝區

2.10.3 一般主 SPI

- 相容 Motorola SPI 規格
 - 16 bytes 讀取深度的 FIFO
 - 16 bytes 寫入深度的 FIFO
- 在 Tx FIFO 完全清空並且 SPI Tx/Rx 引擎閒置時會發出中斷

2.11 IIC 介面

- IIC master interface
 - 可以使用在擴充 I/O device，例如在螢幕控制的觸控螢幕
 - 支援標準模式 (100kbps) 與快速模式 (400kbps)

2.12 脈寬調變與計時器

- 內建兩個 16-bit 計數器
- 一個 8-bit pre-scalars 與一個 4-bit 除頻
- 輸出波形的工作週期是可程式化的
- 自動重載入模式或單擊模式
- 死區 (Dead-zone) 保護

2.13 按鍵介面

- 支援 5x5 鍵盤 (必須使用與 GPIO 的共用腳)
- 可程式化的掃描周期
- 支援長按鍵與重覆鍵
支援同時按兩鍵
- 註：在限制條件下可以支援同時按 3 鍵 (3 個鍵線段組成角度必須不是 90°)
- 支援鍵盤喚醒功能

2.14 省電模式

- 支援 3 種省電模式
 - 待機 (Standby)、休眠 (Suspend) 與睡眠 (Sleep) 模式
- 可以使用主控端、按鍵、外部事件喚醒

2.15 時脈來源

- 內建可程式鎖相回路 PLL 以提供系統時脈、LCD 掃描時脈與 SDRAM 時脈使用
- 單一石英晶體震盪輸入: (XI/XO: 10-15MHz)
- 內部核心最大系統時脈 (最大值 120MHz)
- SDRAM 時脈 (最大值 166MHz)
- LCD 螢幕掃描時脈 (最大值 100MHz)

2.16 重置

- 接受外部硬體重置
- 軟體命令重置

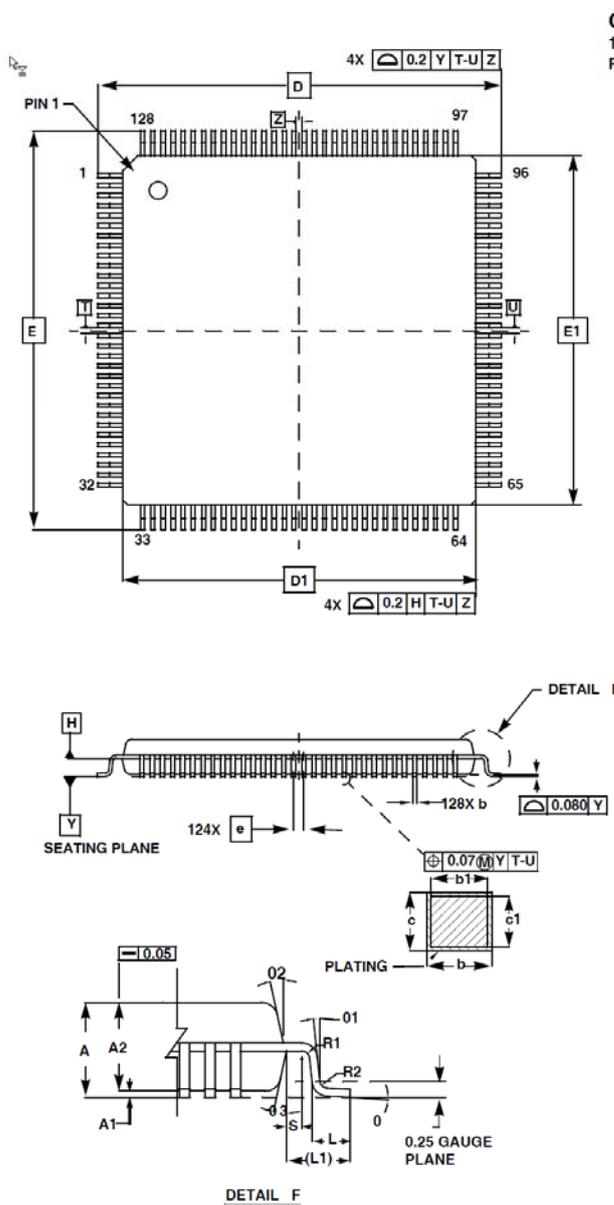
2.17 電源

- I/O 電壓: 3.3V +/- 0.3V
- 內建 1.2V LDO for core power

2.18 封裝

- LQFP-128
- 操作溫度: -40°C ~ 85°C

3.2 封裝尺寸



Q128.14x14
128 LEAD THIN PLASTIC QUAD FLATPACK PACKAGE .4 MM PITCH

SYMBOL	MILLIMETERS			NOTES
	MIN	NOM	MAX	
A	-		1.60	-
A1	0.05		0.15	-
A2	1.35	1.40	1.45	-
b	0.13	0.16	0.23	4
b1	0.13	-	0.19	-
c	0.09	-	0.20	-
c1	0.09	-	0.16	-
D	16 BSC			-
D1	14 BSC			3
E	16 BSC			-
E1	14 BSC			3
L	0.45	0.60	0.75	-
L1	1.00 REF			-
R1	0.08	-	-	-
R2	0.08	-	0.20	-
S	0.20	-	-	-
0	0°	3.5°	7°	-
01	0°	-	-	-
02	11°	12°	13°	-
03	11°	12°	13°	-
N	128			-
e	0.40 BSC			-

Rev. 0 8/08

NOTES:

1. Dimensions are in millimeters. Dimensions in () for Reference Only.
2. Dimensions and tolerances per AMSEY14.5M-1994.
3. Dimensions D1 and E1 are excluding mold protrusion. Allowable protrusion is 0.25 per side. Dimensions D1 and E1 are exclusive of mold mismatch and determined by datum plane H.
4. Dimension b does not include dambar protrusion. Allowable dambar protrusion shall not cause the lead width to exceed the maximum b dimension by more than 0.08mm. Dambar cannot be located at the lower radius or the foot. Minimum space between protrusion and an adjacent lead is 0.07 mm.

圖 3-2 : RA8877 Package Outline Dimensions

4. 腳位定義

4.1 並列主控端介面 (25 腳位)

接腳名稱	I/O	腳位說明
XDB[15:0]	IO (8mA)	資料匯流排 資料匯流排提供主控端與RA8877的並列介面資料傳送。 XDB[15:8] 可以設定GPIO (GPIO-A[7:0])，前提是沒有設定成 8080/6800 16-bits並列介面資料匯流排。 XDB[7:0] 如果在串列主控端模式下，此訊號也提供為串列的主控端訊號使用 et. 請參考串列主控端介面章節。
XA0	I	命令/資料 選擇 此腳位被使用在選擇命令還是資料的周期。 XA0 = 0，狀態讀取/命令寫入。 XA0 = 1，資料讀取/資料寫入。
XnCS	I	晶片智能 低電位致能，如果主控端設定 RA8877 為串列主控端模式，則此腳位設定為 GPI-B0 並且讀取腳位的值，腳位內部有提升電阻
XnRD (XEN)	I	致能/讀取致能 當微處理器是 8080 系列，此腳位是當作 XnRD 使用 (讀取資料)，低電位動作。 當微處理器是 6800 系列，此腳位是當作 XEN 使用 (致能信號)，高電位動作。 如果主控端介面設定成串列主控模式，那麼此腳位則為 GPI-B1，並且可讀取腳位上的電壓值。 內建 pull-high 電阻。
XnWR (XRnW)	I	寫入/讀寫 當微處理器介面是 8080 系列，此腳位會成為 XnWR (資料寫入)，低電位動作。 當微處理器介面是 6800 系列，此腳位會成為 XRnW (資料 讀取/寫入)，讀取時是高電位動作，寫入是低電位動作。 如果主控端介面是設定成串列主控模式，那麼此腳位將會成為 GPI-B2。 內建提升電阻。
XnINTR	O (8mA)	中斷信號輸出 告知主控端目前內部狀態的中斷輸出。
XnWAIT	O (8mA)	等待信號輸出 當 XnWAIT 為 high，表示 RA8877 已經準備好傳輸資料，當 XnWAIT 為 low，微處理器應該進入等待周期。
XPS[2:0]	I	並列/串列 主控端介面選擇 00X: (並列主控端) 8080 8/16-bits 資料匯流排介面。 01X: (並列主控端) 6800 i8/16-bits 資料匯流排介面。 100: (串列主控端) 3-wire SPI。 101: (串列主控端) 4-wire SPI。

接腳名稱	I/O	腳位說明
		11x: (串列主控端) IIC。 註: 如果主控端介面設定成並列主控端模式，那麼 XPS[0] 就外部中斷腳。

4.2 串列主控端介面 (與並列主控端介面共用腳位)

接腳名稱	I/O	腳位說明
XSSCL (XDB[7])	I	SPI 與 IIC 時脈 XSSCL、3-wire、4-wire 串列或 IIC 介面時脈。
XSSDI XSSDA (XDB[6])	I	IIC 資料/4-wireSPI 資料輸入 3-wire SPI 介面: NC，請連接到 GND。 4-wire SPI 介面: XSSDI 串列介面資料輸入。 IIC 介面: XSSDA 串列介面輸入輸出雙向。
XSSD XSSDO (XDB[5])	IO	3-wireSPI 資料/4-wireSPI 資料輸出/IIC Slave 位置選擇 3-wireSPI I/F: XSSD，串列介面輸入輸出雙向資料傳輸。 4-wireSPI I/F: XSSDO，串列介面資料輸出。 IIC 介面: XIICA[5]，IIC 裝置位址 bit [5]。
XnSCS (XDB[4])	I	SPI 致能/IIC Slave 位址選擇 XnSCS，在 3-wire 與 4-wireSPI 串列介面中，此腳位為致能訊號。 IIC 介面: XIICA[4]，IIC 裝置位址 bit [4]。
XIICA[3:0] (XDB[3:0])	I	IIC 介面: IIC Slave 位址選擇 XIICA[3:0]，在 3-wire 與 4-wire SPI 介面: NC，請連接到 GND。 IIC 介面: IIC 裝置位址 bit [3:0]。

4.3 SDR SDRAM 介面 (39 腳位)

接腳名稱	I/O	腳位說明
XMCKE (XCLK2)	IO (8mA)	時脈致能/時脈 2 輸入(記憶體時脈) 當 XTEST[0] 為低電位時，此腳位 SDR 記憶體時脈致能的功能。 當 XTEST[0] 為高電位時，此腳位為 RA8877 外部時脈 2 輸入，並且透過 XMCLK 提供給 SDR 使用。
XMCLK	IO (8mA)	SDR 記憶體時脈輸出 由內部 MPLL 或 XCLK2 來驅動。
XnMCS	○ (4mA)	晶片選擇
XnMRAS	○ (4mA)	命令輸出: XnMRAS、XnMCAS 與 XnMWR (須與 XnMCS 搭配) 可以輸出命令
XnMCAS	○ (4mA)	命令輸出

接腳名稱	I/O	腳位說明
XnMWR	O (4mA)	命令輸出
XMBA[1:0]	O (4mA)	區塊(Bank) 位址
XMA[12:0]	O (4mA)	位址
XMD[15:0]	I/O (4mA)	資料匯流排
XMDQM[1:0]	O (4mA)	輸入/輸出遮罩

4.4 Serial Flash 或 SPI master 介面 (5 腳位)

接腳名稱	I/O	腳位說明
XnSFCS0	IO (8mA)	外部 Serial Flash/ROM SPI 晶片選擇 0 SPI 晶片選擇腳#0 使用在 Serial Flash/ROM 或 SPI 裝置選擇上。 *如果 SPI master 被禁能，那麼此腳位可以被程式規劃成 GPIO (GPIO-C3)，默認 GPIO-C3 為輸入功能。
XnSFCS1	IO (8mA)	外部 Serial Flash/ROM SPI 晶片選擇 1 SPI 晶片選擇腳#0 使用在 Serial Flash/ROM 或 SPI 裝置選擇上。 * 如果 SPI master 被禁能，那麼此腳位可以被程式規劃成 GPIO (GPIO-C4)，默認 GPIO-C4 為輸入功能。 *如果 xtest[2:1] 不等於 01b 那麼在 reset 週期時會自動 pull-high。
XSCK	IO (8mA)	SPI 串列時脈 此腳位是串列時脈輸出，主要是給 Serial Flash/ROM 或 SPI 裝置使用。 * 如果 SPI master 介面被禁能，那麼此腳位可以被程式規劃為 GPIO (GPIO-C0); 默認 GPIO-C0 輸入功能。
XMOSI (XSIO0)	IO (8mA)	主輸出從輸入 Single 模式: Serial Flash/ROM 或 SPI 裝置輸入資料用。對 RA8877 而言此腳為輸出。 Dual 模式: 此腳位為雙向資料傳送#0 (SIO0)，此功能只能在 Serial flash DMA 使用。 *如果 SPI master 介面被禁能，那麼此腳位可以被程式規劃為 GPIO (GPIO-C1); 默認 GPIO-C1 輸入功能。
XMISO (XSIO1)	IO (8mA)	主輸入從輸出 Single 模式: Serial Flash/ROM 或 SPI 裝置輸出資料用。對 RA8877 而言此腳為輸入。 Dual 模式: 此腳位為雙向資料傳送#1 (SIO1)。此功能只能在 Serial flash DMA 使用。 *如果 SPI master 介面被禁能，那麼此腳位可以被程式規劃為 GPIO (GPIO-C2)，默認 GPIO-C2 輸入功能。

4.5 PWM 介面 (2 腳位)

接腳名稱	I/O	腳位說明
XPWM0	IO (8mA)	PWM 訊號輸出 1/初始顯示致能 Pull-high 這根腳位可以讓初始顯示致能。 默認是禁能初始顯示功能，而這根腳位在重置 (RESET) 週期時內部會被拉低。換句話說在重置周期結束時，內部拉低電阻將會被禁能。 XPWM 0 的輸出模式可以在暫存器中指定。 如果 PWM 被禁能，那麼此腳位可以被程式規劃為 GPIO (GPIO-C7)，默認 GPIO-C7 是輸入功能或是輸出核心時脈。
XPWM1 (XCLK3)	IO (8mA)	PWM 訊號輸出 2 / 時脈 3 輸入(螢幕掃描時脈) 當 XTEST[0] 為低電位時: XPWM1 可以被設定為輸出其輸出模式可經由暫存器設定來完成。那麼其輸出可以指定為標準的 XPWM1 功能，oscillator 時脈輸出或是 SCAN 頻寬不足與超過記憶體位址的錯誤旗標。 當 XTEST[0] 為高電位時: XPWM1 腳位就是外部螢幕掃描時脈 3 輸入。

4.6 鍵盤掃描 (9 腳位)

接腳名稱	I/O	腳位說明
XKIN[0]/ XSCL	IO (8mA)	按鍵資料線或 GPIs (通用型輸入) 按鍵資料輸入(預設值)，並且具有內部的 pull-up 電阻。 XKIN[0] 也具有 IIC master 的 XSCL 功能。
XKOUT[0]/ XSDA	O (8mA)	按鍵資料擷取線或 GPOs (通用型輸出 Output) 鍵盤矩陣輸出的擷取，並且在 IO 上是 open-drain 的形式，此為預設值。 XKOUT[0] 也具有 IIC master 的 XSDA 功能。
XKIN[4:1]	I	按鍵資料線或 GPIs (通用型輸入) 按鍵資料輸入(預設值)，並且具有內部的 pull-up 電阻。
XKOUT[3:1]	O (8mA)	按鍵資料擷取線或 GPOs (通用型輸出 Output) 鍵盤矩陣輸出的擷取，並且在 IO 上是 open-drain 的形式，此為預設值。

4.7 LCD Panel LVDS 介面/FPD-Link (12 腳位)

接腳名稱	I/O	腳位說明
AVDD33	P	類比正電壓輸入
AVSSIO	P	類比地端
XTX0P	A	傳輸線正端，LVDS 訊號。Channel 0
XTX0N	A	傳輸線負端，LVDS 訊號。Channel 0
XTX1P	A	傳輸線正端，LVDS 訊號。Channel 1
XTX1N	A	傳輸線負端，LVDS 訊號。Channel 1
XTX2P	A	傳輸線正端，LVDS 訊號。Channel 2
XTX2N	A	傳輸線負端，LVDS 訊號。Channel 2
XTX3P	A	傳輸線正端，LVDS 訊號。Channel 3
XTX3N	A	傳輸線負端，LVDS 訊號。Channel 3
XCKP	A	輸出 TX 時脈，正端，LVDS 準位
XCKN	A	輸出 TX 時脈，負端，LVDS 準位

4.8 時脈、重置與測試模式 (6 腳位)

接腳名稱	I/O	腳位說明
XI (XCLK1)	I	Crystal 輸入/Clock 1 輸入(核心時脈-core clock) Crystal Oscillator 必須是在 10MHz ~ 15MHz。 當 XTEST[0] 設為低電位時，此腳位是給內部的 crystal 電路使用，而此腳位應該連接外部 crystal 電路，這將可以產生 RA8877 的時脈訊號。 當 XTEST[0] 設為高電位時，此腳位被拿來當作外部時脈 1 輸入。 建議 OSC 頻率為 11.0592 MHz。
XO	O	Crystal 輸出 此腳位為內部 crystal 電路輸出，而此腳位應該連接至外部 crystal 電路。
XnRST	I/OC	重置輸入訊號 為了避免雜訊產生錯誤的重置訊號，外部重置訊號的準位必須最少要有 256 OSC 的時脈周期。
XTEST[0]	I	時脈測試模式 內建 pull down 電阻 此腳位是提供給晶片測試使用的，在標準操作上此腳位應該要連接至 GND。 0: 標準模式，使用內部 PLL 時脈。 1: 忽略 PLL，晶片時脈改使用外部 XCLK1、XCLK2、XCLK3 輸入。
XTEST[2:1]	I	晶片測試模式 00: 標準模式。 01: 令 SPI master 腳位浮接 (使用在 in-system-programming)。 1X: 保留。

4.9 電源與接地

接腳名稱	I/O	腳位說明
LDO1_CAP12 LDO2_CAP12 LDO3_CAP12	P	需要在每個 LDO 上 連接 1uF 到地端
VDD33	P	IO VDD 3.3V IO 電源輸入
VSS	P	GND IO Cell/Core 接地訊號
AVSSIO	P	Analog IO GND 類比 IO 地端
AVSS	P	Analog IO GND 類比 Core 地端